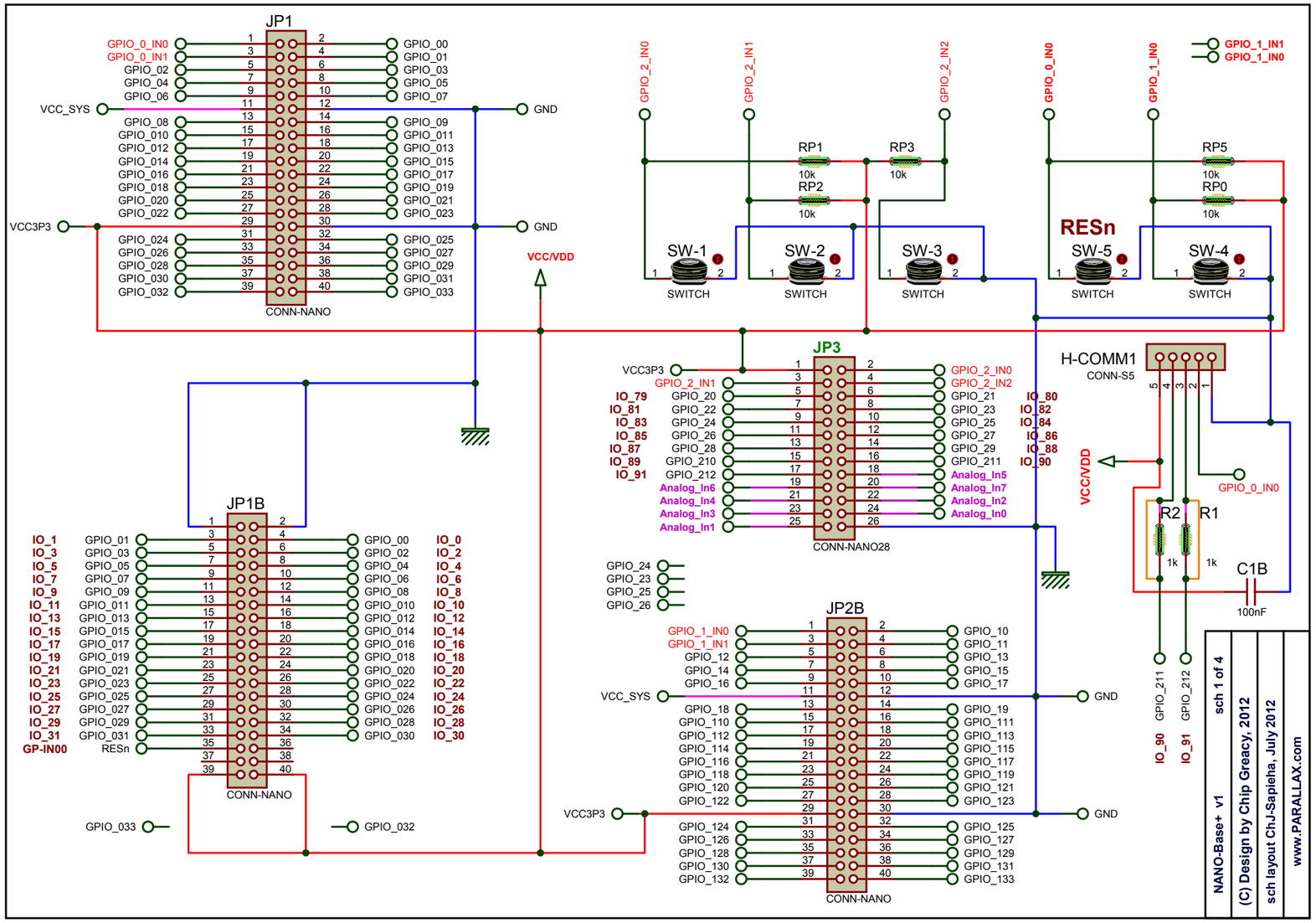
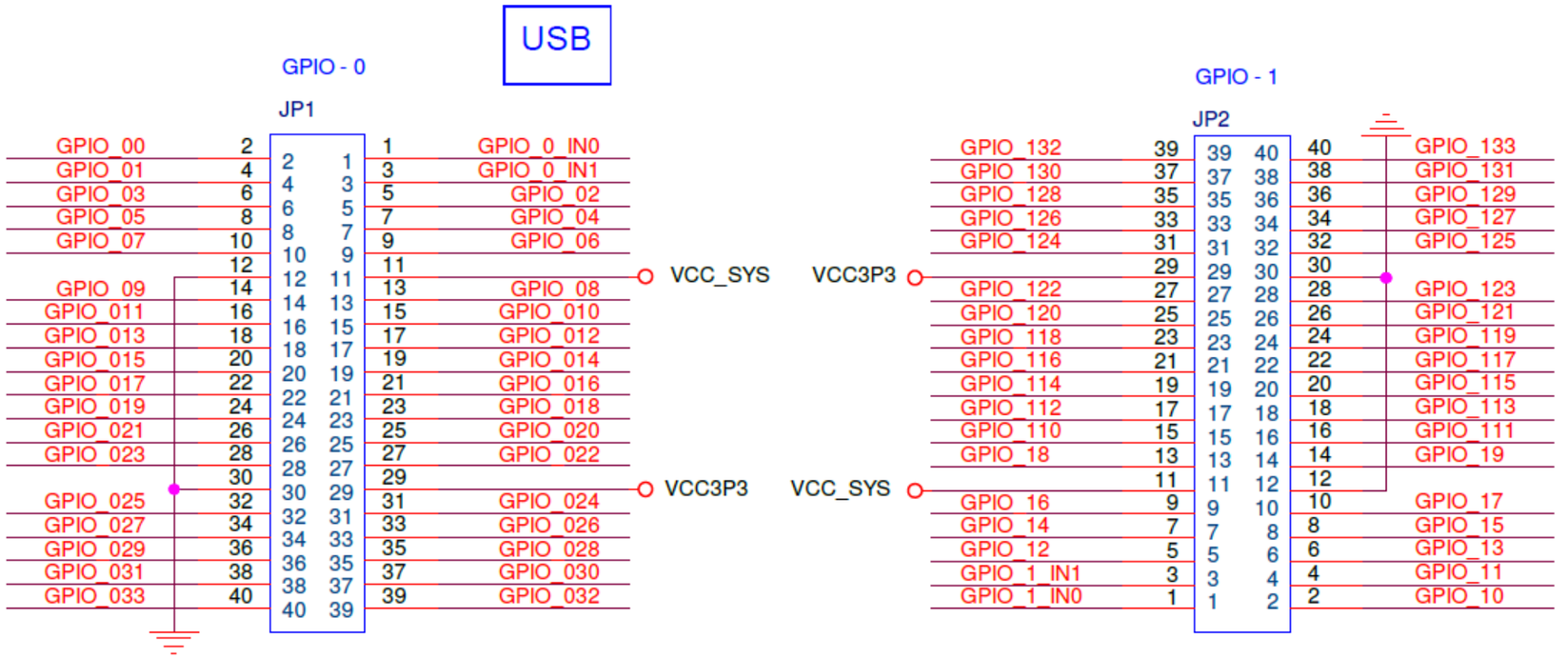
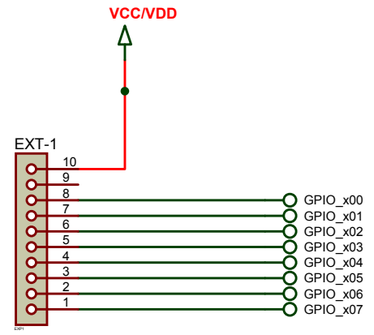
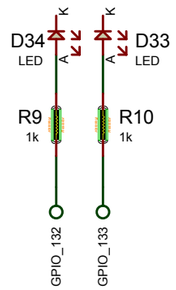

JP1
GPIO_0_IN0
GPIO_0_IN1
GPIO_02
GPIO_04
GPIO_06
VCC_SYS
GPIO_08
GPIO_010
GPIO_012
GPIO_014
GPIO_016
GPIO_018
GPIO_020
GPIO_022
VCC3P3
GPIO_024
GPIO_026
GPIO_028
GPIO_030
GPIO_032
GPIO_00
GPIO_01
GPIO_03
GPIO_05
GPIO_07
GPIO_09
GPIO_011
GPIO_013
GPIO_015
GPIO_017
GPIO_019
GPIO_021
GPIO_023
GPIO_025
GPIO_027
GPIO_029
GPIO_031
GPIO_033
GND
GND
VCC/VDD
CONN-NANO
JP1B
IO_1
IO_3
IO_5
IO_7
IO_9
IO_11
IO_13
IO_15
IO_17
IO_19
IO_21
IO_23
IO_25
IO_27
IO_29
IO_31
GP-IN00
GPIO_01
GPIO_03
GPIO_05
GPIO_07
GPIO_09
GPIO_011
GPIO_013
GPIO_015
GPIO_017
GPIO_019
GPIO_021
GPIO_023
GPIO_025
GPIO_027
GPIO_029
GPIO_031
RESn
GPIO_00
GPIO_02
GPIO_04
GPIO_06
GPIO_08
GPIO_010
GPIO_012
GPIO_014
GPIO_016
GPIO_018
GPIO_020
GPIO_022
GPIO_024
GPIO_026
GPIO_028
GPIO_030
IO_0
IO_2
IO_4
IO_6
IO_8
IO_10
IO_12
IO_14
IO_16
IO_18
IO_20
IO_22
IO_24
IO_26
IO_28
IO_30
CONN-NANO
GPIO_033
GPIO_032
GPIO_2_IN0
GPIO_2_IN1
GPIO_2_IN2
GPIO_0_IN0
GPIO_1_IN0
GPIO_1_IN1
RP1
RP3
RP2
RP5
RP0
10k
SW-1
SW-2
SW-3
SW-4
SW-5
SWITCH
RESn
JP3
VCC3P3
GPIO_2_IN1
IO_79
IO_81
IO_83
IO_85
IO_87
IO_89
IO_91
GPIO_20
GPIO_22
GPIO_24
GPIO_26
GPIO_28
GPIO_210
GPIO_212
Analog_In6
Analog_In4
Analog_In3
Analog_In1
GPIO_2_IN0
GPIO_2_IN2
IO_80
IO_82
IO_84
IO_86
IO_88
IO_90
GPIO_21
GPIO_23
GPIO_25
GPIO_27
GPIO_29
GPIO_211
Analog_In5
Analog_In7
Analog_In2
Analog_In0
CONN-NANO28
GPIO_24
GPIO_23
GPIO_25
GPIO_26
JP2B
GPIO_1_IN0
GPIO_1_IN1
GPIO_12
GPIO_14
GPIO_16
VCC_SYS
GPIO_18
GPIO_110
GPIO_112
GPIO_114
GPIO_116
GPIO_118
GPIO_120
GPIO_122
VCC3P3
GPIO_124
GPIO_126
GPIO_128
GPIO_130
GPIO_132
GPIO_10
GPIO_11
GPIO_13
GPIO_15
GPIO_17
GPIO_19
GPIO_111
GPIO_113
GPIO_115
GPIO_117
GPIO_119
GPIO_121
GPIO_123
GPIO_125
GPIO_127
GPIO_129
GPIO_131
GPIO_133
GND
GND
CONN-NANO
H-COMM1
CONN-S5
VCC/VDD
GPIO_0_IN0
R2
R1
1k
C1B
100nF
GPIO_211
GPIO_212
IO_90
IO_91
NANO-Base+ v1
sch 1 of 4
(C) Design by Chip Greacy, 2012
sch layout ChJ-Sapieha, July 2012
www.PARALLAX.com



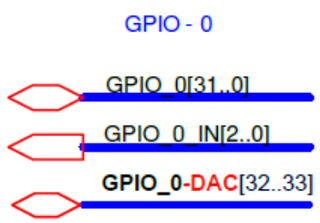


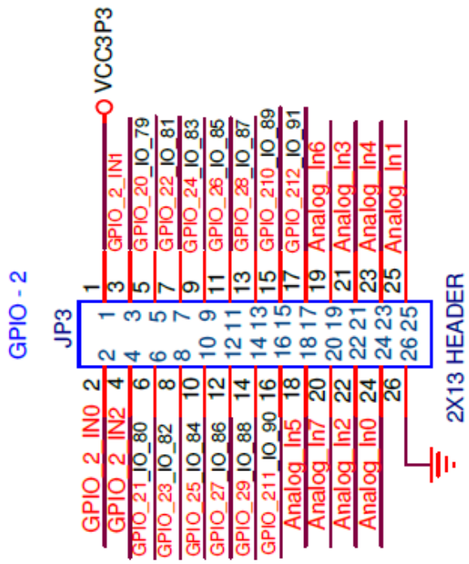
Connector for Analog IN

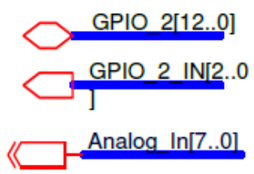
If Chip say that can be implemented



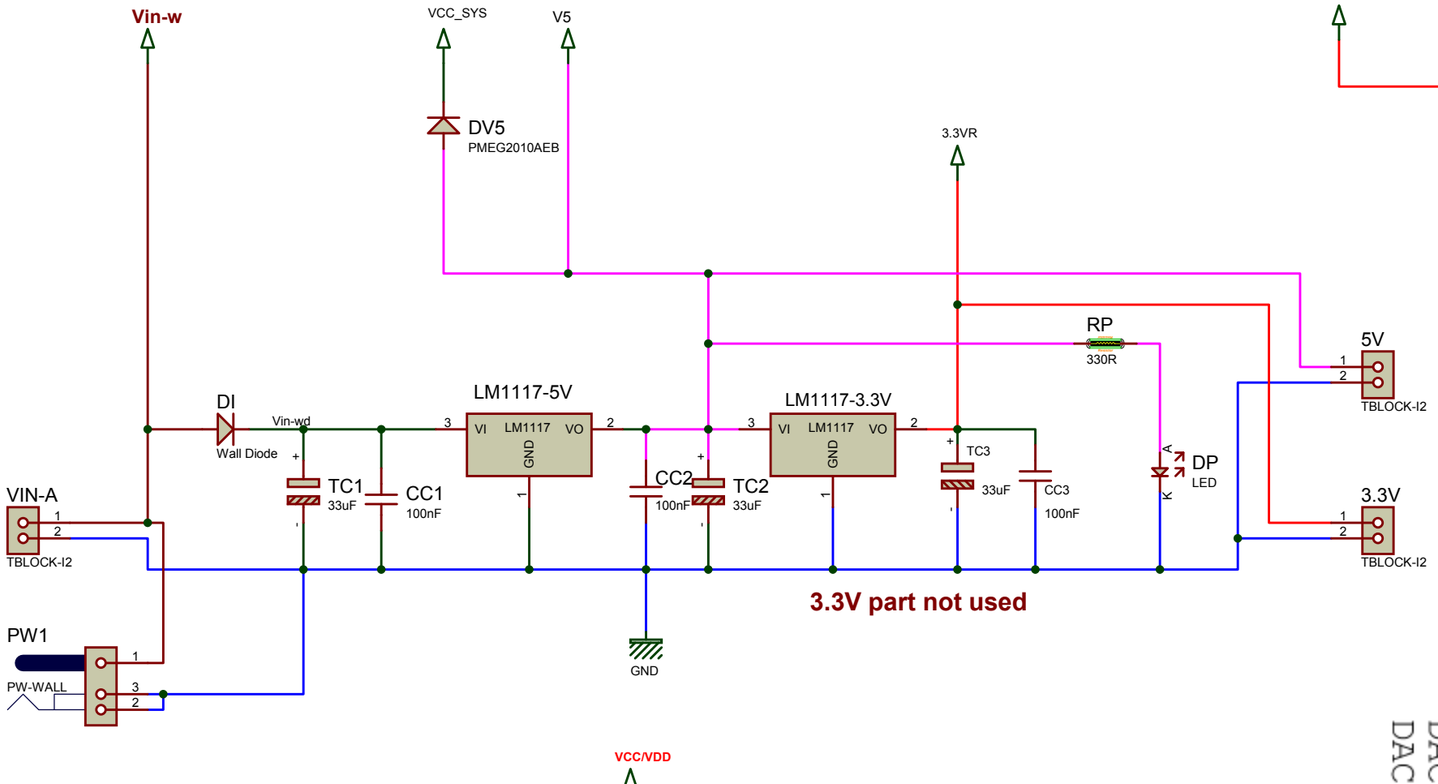
Spare parts

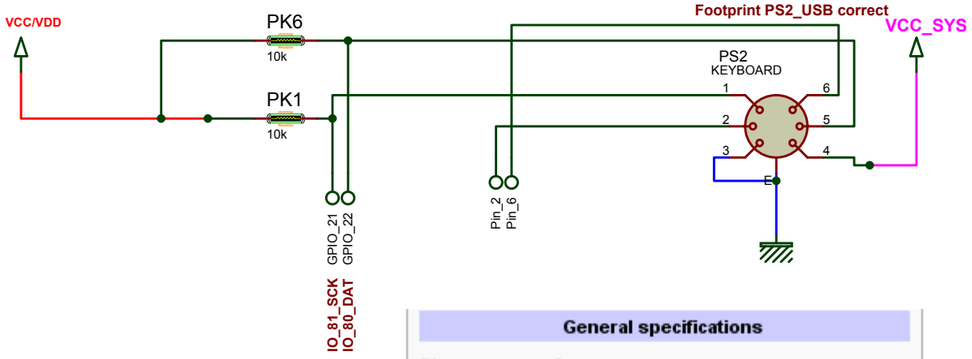


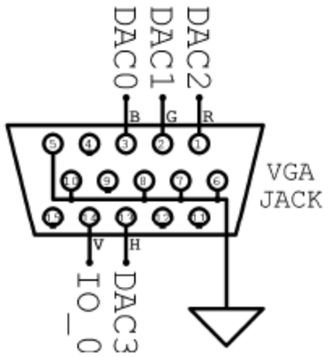




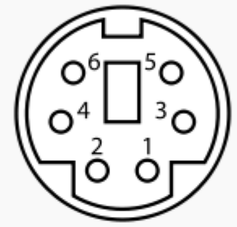
NANO-Base+ v1	sch 2 of 4
(C) Design by Chip Greacy, 2012	
sch layout ChJ-Sapieha, July 2012	
www.PARALLAX.com	







General specifications		
Pins	6	
Connector	Mini-DIN	
Data		
Data signal	Serial data at 10 to 16 kHz with 1 stop bit, 1 start bit, 1 parity bit (odd)	
Pin out		



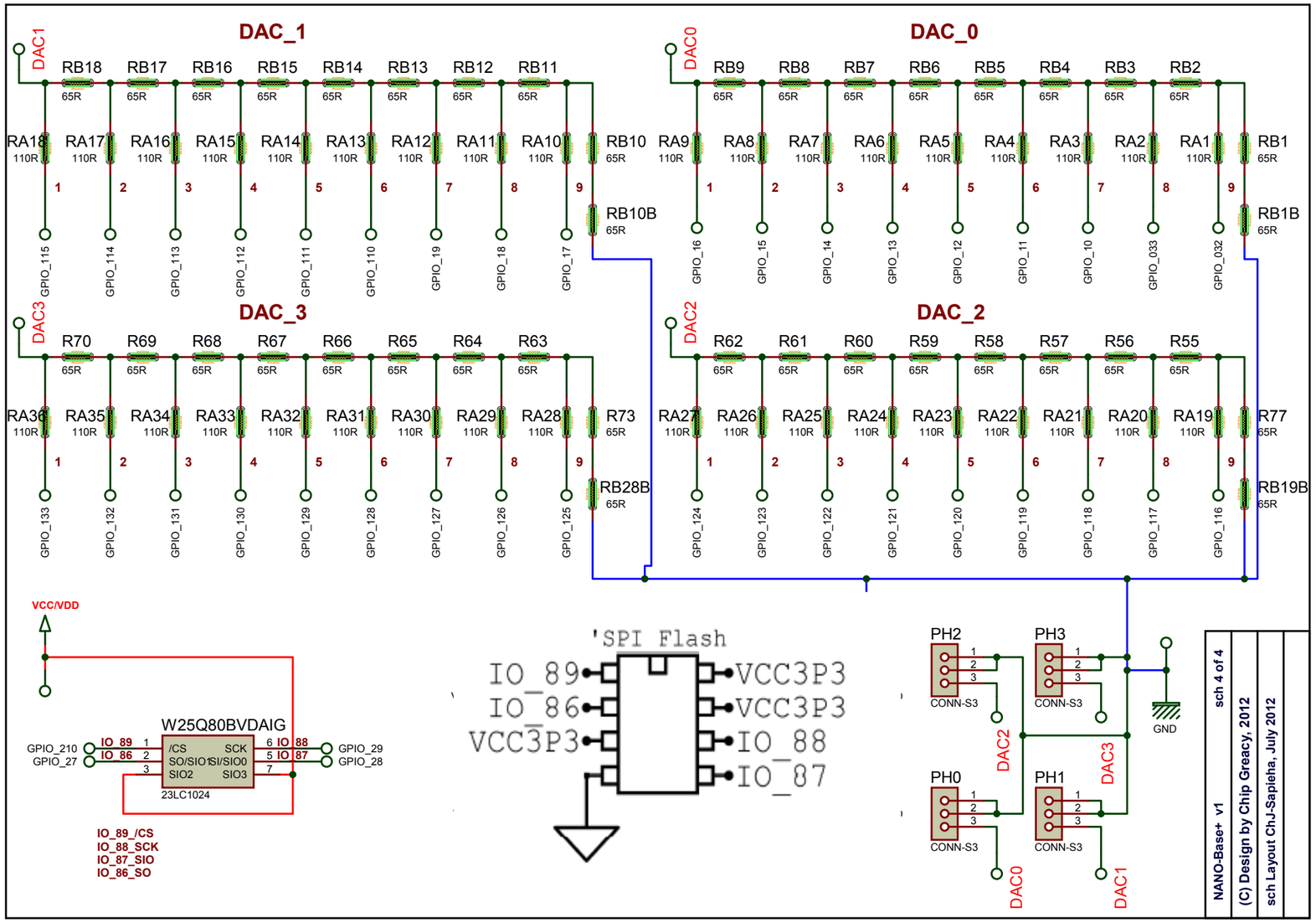
Female connector from the front

Pin 1	+DATA	Data
Pin 2	Not connected	Not connected*
Pin 3	GND	Ground
Pin 4	Vcc	+5 V DC at 275 mA
Pin 5	+CLK	Clock
Pin 6	Not connected	Not connected**

* On some computers mouse data for splitter cable.

** On some computers mouse clock for splitter cable.

NANO-Base+ v1	sch 3 of 4		
(C) Design by Chip Greacy, 2012			
sch layout ChJ-Sapieha, July 2012			
www.PARALLAX.com			


DAC_1
DAC1
RB18 RB17 RB16 RB15 RB14 RB13 RB12 RB11
65R
RA18 RA17 RA16 RA15 RA14 RA13 RA12 RA11 RA10
110R
1 2 3 4 5 6 7 8 9
RB10
RB10B
GPIO_115 GPIO_114 GPIO_113 GPIO_112 GPIO_111 GPIO_110 GPIO_19 GPIO_18 GPIO_17
DAC_0
DAC0
RB9 RB8 RB7 RB6 RB5 RB4 RB3 RB2
RA9 RA8 RA7 RA6 RA5 RA4 RA3 RA2 RA1
RB1
RB1B
GPIO_16 GPIO_15 GPIO_14 GPIO_13 GPIO_12 GPIO_11 GPIO_10 GPIO_033 GPIO_032
DAC_3
DAC3
R70 R69 R68 R67 R66 R65 R64 R63
RA36 RA35 RA34 RA33 RA32 RA31 RA30 RA29 RA28
R73
RB28B
GPIO_133 GPIO_132 GPIO_131 GPIO_130 GPIO_129 GPIO_128 GPIO_127 GPIO_126 GPIO_125
DAC_2
DAC2
R62 R61 R60 R59 R58 R57 R56 R55
RA27 RA26 RA25 RA24 RA23 RA22 RA21 RA20 RA19
R77
RB19B
GPIO_124 GPIO_123 GPIO_122 GPIO_121 GPIO_120 GPIO_119 GPIO_118 GPIO_117 GPIO_116
VCC/VDD
W25Q80BVDAIG
GPIO_210
GPIO_27
IO_89 1
IO_86 2
3
/CS
SO/SIO1
SIO2
SCK
SI/SIO0
SIO3
6 IO_88
5 IO_87
7
GPIO_29
GPIO_28
23LC1024
IO_89_/CS
IO_88_SCK
IO_87_SIO
IO_86_SO
'SPI Flash
IO_89
IO_86
VCC3P3
VCC3P3
VCC3P3
IO_88
IO_87
PH2
PH3
PH0
PH1
CONN-S3
DAC2
DAC3
DAC0
DAC1
GND
NANO-Base+ v1
sch 4 of 4
(C) Design by Chip Greacy, 2012
sch Layout ChJ-Sapieha, July 2012